

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148914

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

H03K 19/0185
H03K 19/096

(21)Application number : 07-303182

(71)Applicant : SONY CORP

(22)Date of filing : 21.11.1995

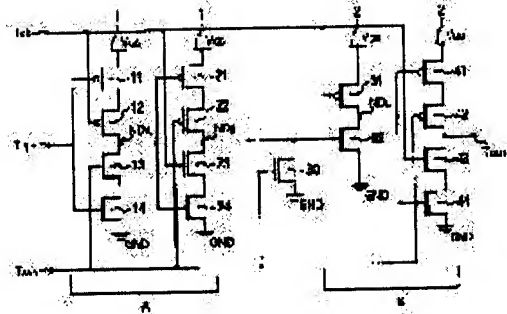
(72)Inventor : HASHIGUCHI AKIHIKO

(54) LEVEL CONVERSION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize the conversion circuit which reduces the power consumption and suppresses the malfunction and increases the operation speed.

SOLUTION: The signal inputted to an input terminal TIN is inverted and is transferred to a node NDA only when a clock signal CK is in the low level, and this signal is inverted and is transferred to a node NDB only when the clock signal CK is in the high level, and the node NDB is grounded through an nMOS transistor TR30, which has the gate connected to an input terminal TXCK of a clock signal XCK, and is connected to the gate of an nMOS TR32, and the drain of a pMOS TR31 which has the gate connected to an input terminal TCK of the clock signal CK and the drain of the nMOS TR31 are connected, and the signal in a node NDC consisting of this connection point is inverted and is transferred to an output terminal TOUT only when the clock signal CK is in the high level.



LEGAL STATUS

[Date of request for examination] 06.12.2000

[Date of sending the examiner's decision of rejection] 16.12.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-00958

[Date of requesting appeal against examiner's decision of rejection] 14.01.2004

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 9 - 1 4 8 9 1 4

(43)公開日 平成 9 年 (1 9 9 7) 6 月 6 日

(51)Int.Cl.⁶

H03K 19/0185

19/096

識別記号

庁内整理番号

F I

H03K 19/00

19/096

101

B

B

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 1 3 頁)

(21)出願番号 特願平 7 - 3 0 3 1 8 2

(22)出願日 平成 7 年 (1 9 9 5) 1 1 月 2 1 日

(71)出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72)発明者 橋口 昭彦

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

ニー株式会社内

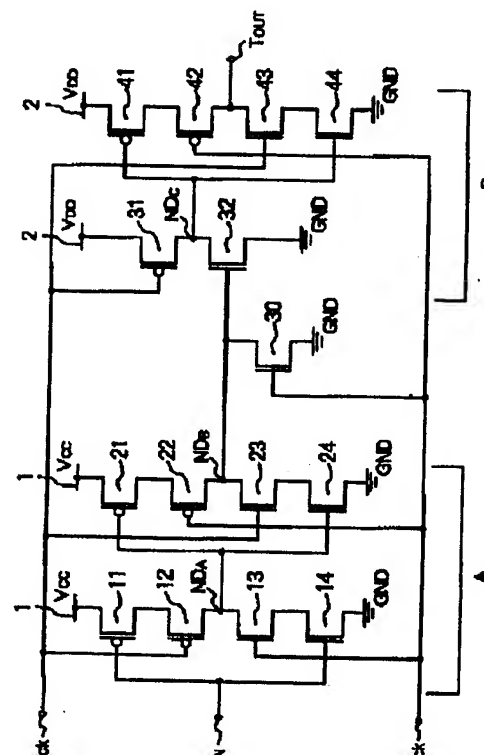
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 レベル変換回路

(57)【要約】

【課題】 消費電力を低減でき、誤動作を抑制でき、動作速度の向上を図れるレベル変換回路を実現する。

【解決手段】 入力端子 T_{in} に入力された信号をクロック信号 CK がローレベルのときのみ反転してノード ND_1 に転送し、さらにクロック信号 CK がハイレベルのときのみ反転してノード ND_2 に転送し、ノード ND_2 をゲートがクロック信号 XCK の入力端子 T_{in} に接続された n MOSTランジスタ 30 を介して接地し、さらに n MOSTランジスタ 32 のゲートに接続し、ゲートがクロック信号 CK の入力端子 T_{in} に接続された p MOSTランジスタ 31 のドレインと n MOSTランジスタ 32 のドレイン同士とを接続し、その接続点によって構成されたノード ND_3 の信号をクロック信号 CK がハイレベルのときのみ反転して出力端子 T_{out} に転送する。



【特許請求の範囲】

【請求項 1】 クロック信号によって動作タイミングが制御されるレベル変換回路であって、

上記クロック信号に基づき、第 1 の電源電位レベルと基準電位レベルとを相補的にとる入力信号を出力ノードに転送した後、当該出力ノードを電氣的に浮遊状態に設定する第 1 の回路と、

上記第 1 の回路の出力ノードのレベルおよび上記クロック信号の入力レベルに応じて、第 2 の電源電位レベルまたは基準電位レベルの信号を出力する第 2 の回路と、

上記第 1 の回路の出力ノードが浮遊状態に設定されているとき、当該出力ノードを所定の電位に保持する第 3 の回路とを有するレベル変換回路。

【請求項 2】 上記第 2 の回路において、上記第 1 の回路の出力ノードが電氣的に浮遊状態に設定されているとき、信号の出力を一時的に停止させる出力回路を有する請求項 1 に記載のレベル変換回路。

【請求項 3】 上記第 2 の回路は、上記第 1 の回路の出力ノードが浮遊状態に設定されているとき、出力信号レベルを第 2 の電源電位レベルに保持させ、上記第 1 の回路の出力ノードレベルが基準電位レベルの場合、第 2 の電源電位レベルの信号を出力し、上記第 1 の回路の出力ノードが上記第 1 の電源電位レベルの場合、基準電位レベルの信号を出力し、

上記第 3 の回路は、上記第 1 の回路の出力ノードを基準電位に保持する請求項 1 に記載のレベル変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、異なる電源電圧を有する回路間に信号のレベルを変換するレベル変換回路に関するものである。

【0002】

【従来の技術】 近年の L S I においては、5 V、3.3 V、2.2 V などのさまざまな電源電圧が存在する。また、低消費電力化のため電源電圧を下げる工夫がなされるが、電圧のマージン、回路の動作速度などを考慮すると、電源電圧を下げられない回路も存在する。

【0003】 このため、電源電圧の異なる回路ブロック間のインターフェースまたは L S I のインターフェースとして、レベル変換回路が採用される。一般的に、これらのレベル変換回路は非同期変換回路と同期変換回路の 2 種類に大別できる。以下、それぞれのレベル変換回路について説明する。

【0004】 図 7 は非同期レベル変換回路の一例を示す回路図である。図 7 において、A は、たとえば、2.2 V の電源電圧 V_{cc} で動作する第 1 の回路を、B は、たとえば、3.3 V の電源電圧 V_{dd} で動作する第 2 の回路をそれぞれ示している。図 7 において、 T_{11} 、 T_{12} は p 型 MOS (以下、pMOS という) トランジスタ、 T_{21}

MOS という) トランジスタをそれぞれ示し、 INV_{11} は、たとえば、2.2 V の電源電圧 V_{cc} で動作するインバータ、 INV_{12} 、 INV_{21} は、たとえば、3.3 V の電源電圧 V_{dd} で動作するインバータをそれぞれ示す。

【0005】 図示のように、入力端子 T_{11} が nMOS トランジスタ T_{11} のゲートに接続され、さらに、インバータ INV_{11} を介して nMOS トランジスタ T_{12} のゲートに接続されている。pMOS トランジスタ T_{11} と nMOS トランジスタ T_{12} 、pMOS トランジスタ T_{21} と nMOS トランジスタ T_{22} がそれぞれインバータ構成となっている。すなわち、pMOS トランジスタ T_{11} のゲートと nMOS トランジスタ T_{12} のゲートとが接続され、接続点ノード ND_{11} がインバータの入力端子を構成し、さらに、pMOS トランジスタ T_{11} と pMOS トランジスタ T_{21} のドレイン同士が接続され、その接続点がインバータの出力端子を構成する。

【0006】 また、pMOS トランジスタ T_{12} のゲートと nMOS トランジスタ T_{21} のゲートとが接続され、接続点ノード ND_{12} がインバータの入力端子を構成し、さらに、pMOS トランジスタ T_{12} と pMOS トランジスタ T_{22} のドレイン同士が接続され、その接続点がインバータの出力端子を構成する。pMOS トランジスタ T_{11} 、 T_{12} のソースがそれぞれ電源電圧 V_{cc} の供給線 2 に接続され、nMOS トランジスタ T_{21} 、 T_{22} のソースがそれぞれ接地されている。

【0007】 pMOS トランジスタ T_{11} と nMOS トランジスタ T_{12} によって構成されたインバータの出力端子が pMOS トランジスタ T_{21} と nMOS トランジスタ T_{22} によって構成されたインバータの入力端子 ND_{11} と接続され、さらに、これらの接続点に nMOS トランジスタ T_{12} のドレインが接続されている。pMOS トランジスタ T_{11} と nMOS トランジスタ T_{21} によって構成されたインバータの出力端子が pMOS トランジスタ T_{12} と nMOS トランジスタ T_{22} によって構成されたインバータの入力端子 ND_{12} と接続され、さらに、これらの接続点に nMOS トランジスタ T_{12} のドレインが接続されている。nMOS トランジスタ T_{12} と nMOS トランジスタ T_{21} のソースがそれぞれ接地されている。さらに、ノード ND_{11} が直列に接続されたインバータ INV_{11} 、 INV_{21} を介して出力端子 T_{21} に接続されている。

【0008】 以下、上記の構成において、非同期レベル変換回路の動作について、簡単に説明する。入力端子 T_{11} にハイレベルの信号、たとえば、2.2 V の信号が入力されるとき、nMOS トランジスタ T_{11} が導通状態となり、nMOS トランジスタ T_{12} が非導通状態となる。これにより、ノード ND_{11} が nMOS トランジスタ T_{11} を介してディスチャージされ、接地電位に引き下げられる。このため、pMOS トランジスタ T_{11} が導

トランジスタ T_{11} を介してプリチャージされ、電源電圧 V_{DD} までに引き上げられる。さらに、ノード ND_{11} のハイレベルの電位、すなわち、3.3Vの電位が、インバータ INV_{11} 、 INV_{12} を介して出力端子 T_{out} に転送される。

【0009】入力端子 T_{in} にローレベルの信号、たとえば、0Vの信号が入力されるとき、nMOSトランジスタ T_{11} が非導通状態となり、nMOSトランジスタ T_{12} が導通状態となる。ノード ND_{11} がnMOSトランジスタ T_{12} を介してディスチャージされ、接地電位に引き下げられる。このため、pMOSトランジスタ T_{11} が導通状態となり、ノード ND_{11} が導通状態にあるpMOSトランジスタ T_{11} を介してプリチャージされ、電源電圧 V_{DD} までに引き上げられる。その結果、トランジスタ T_{11} が非導通状態となり、トランジスタ T_{12} が導通状態となり、ノード ND_{11} のローレベルが安定に保持される。さらに、ノード ND_{11} のローレベルの電位が、直列に接続されたインバータ INV_{11} 、 INV_{12} を介して出力端子 T_{out} に転送される。

【0010】上述したような動作によって、第1の回路Aの入力端子 T_{in} に入力された2.2Vの信号が3.3Vのレベルに変換され、第2の回路Bの出力端子 T_{out} に出力される。すなわち、図7に示す非同期レベル変換回路によって、電源電圧の異なる回路ブロックの間に、信号のレベル変換が実現される。

【0011】図8は同期レベル変換回路の一例を示す回路図である。図8においても、Aは、たとえば、2.2Vの電源電圧 V_{cc} で動作する第1の回路を、Bは、たとえば、3.3Vの電源電圧 V_{DD} で動作する第2の回路をそれぞれ示している。図8において、DFFは、たとえば、2.2Vの電源電圧 V_{cc} で動作するDタイプフリップフロップ、 T_{11} はpMOSトランジスタ、 T_{12} 、 T_{13} はnMOSトランジスタ、 INV_{11} 、 INV_{12} は、たとえば、3.3Vの電源電圧 V_{DD} で動作するインバータ、TG₁はドレインとソースが互いに接続されたpMOSトランジスタとnMOSトランジスタによって構成されたトランスマッションゲートをそれぞれ示す。また、 T_{in} は入力端子、 T_{out} は出力端子、 T_{ck} はクロック信号CKの入力端子をそれぞれ示す。

【0012】DタイプフリップフロップDFFのクロック入力端子 T_{ck} がクロック信号CKの入力端子 T_{ck} に接続され、信号入力端子が入力端子 T_{in} に接続されている。DタイプフリップフロップDFFの出力端子がnMOSトランジスタ T_{12} のゲートに接続され、その接続点がノード ND_{11} を構成している。pMOSトランジスタ T_{11} のソースが電源電圧 V_{DD} の供給線2に接続され、ドレインがnMOSトランジスタ T_{12} のドレインに接続され、その接続点がノード ND_{11} を構成する。nMOSトランジスタ T_{12} のソースがnMOSトランジスタ T_{13} のドレインに接続され、nMOSトランジスタ T_{13} のソー

スが接地されている。さらに、pMOSトランジスタ T_{11} とnMOSトランジスタ T_{12} のゲートが接続され、これらの接続点がクロック信号CKの入力端子 T_{ck} に接続されている。

【0013】インバータ INV_{11} の入力端子がノード ND_{11} に接続され、インバータ INV_{12} の出力端子がトランスマッションゲートTG₁を介して出力端子 T_{out} に接続されている。また、トランスマッションゲートTG₁を構成するpMOSトランジスタのゲートがインバータ INV_{11} を介してクロック信号CKの入力端子 T_{ck} に接続され、トランスマッションゲートTG₁を構成するnMOSトランジスタのゲートがクロック信号CKの入力端子 T_{ck} に接続されている。

【0014】以下、図9のタイミングチャートを参照しつつ、図8に示す同期レベル変換回路の動作について説明する。図9に示すように、クロック信号CKの入力端子 T_{ck} には、一定の周期においてハイレベルとローレベルを相互的にとるクロック信号CKが入力される。入力端子 T_{in} には、クロック信号CKの周期と無関係にハイレベルあるいはローレベルをとる信号が入力される。なお、入力端子 T_{in} に入力された信号のハイレベルは、第1の回路Aの電源電圧 V_{cc} と同様であり、たとえば、2.2Vである。クロック信号CKの入力端子 T_{ck} に入力されたクロック信号CKのハイレベルは、第2の回路Bの電源電圧 V_{DD} と同様に、たとえば、3.3Vである。また、接地電位GNDは、0Vとする。

【0015】クロック信号CKの立ち上がりエッジにおいて、DタイプフリップフロップDFFによって、入力端子 T_{in} に入力された信号がノード ND_{11} に転送される。クロック信号CKがハイレベルのとき、pMOSトランジスタ T_{11} が非導通状態となり、nMOSトランジスタ T_{12} が導通状態となる。このとき、ノード ND_{11} がハイレベルの場合、nMOSトランジスタ T_{12} も導通状態となり、ノード ND_{11} がnMOSトランジスタ T_{12} 、 T_{13} を介してディスチャージされ、接地電位に引き下げられる。一方、ノード ND_{11} がローレベルの場合、nMOSトランジスタ T_{12} が非導通状態となり、また、クロック信号CKがハイレベルの場合、pMOSトランジスタ T_{11} も非導通状態となるため、ノード ND_{11} が浮遊状態となり、直前のハイレベル電位が保持される。

【0016】クロック信号CKの立ち下がりエッジから、nMOSトランジスタ T_{12} が非導通状態となり、pMOSトランジスタ T_{11} が導通状態となり、ノード ND_{11} がpMOSトランジスタ T_{11} を介してプリチャージされ、電源電圧 V_{DD} のレベルに保持される。nMOSトランジスタ T_{12} が非導通状態にあることから、クロック信号CKがローレベルになっている間、ノード ND_{11} がノード ND_{11} のレベルに関係なく、電源電圧 V_{DD} のレベルに保持される。

【0017】トランスマッションゲートTG₁がクロッ

ク信号CKがハイレベルの間に導通状態に保持されるので、ノードND₁の信号がインバータINV₁によって反転され、トランSMISSIONゲートTG₁を介して出力端子T_{out}に転送される。

【0018】上記の動作によって、クロック信号CKの立ち上がりエッジにおいて、入力端子T_{in}に入力された信号がDタイプフリップフロップDFFを介してノードND₁に転送され、さらにnMOSトランジスタT_nを介して反転され、ノードND₁に出力される。ノードND₁の信号は、クロック信号CKがハイレベルの間、インバータINV₁により反転され、と導通状態となるトランSMISSIONゲートTG₁を介して出力端子T_{out}に転送される。また、クロック信号CKがローレベルの間、ノードND₁のレベルに関係なく、導通状態にあるpMOSトランジスタT_pを介してノードND₁がプリチャージされ、電源電圧V_{DD}のレベルに保持される。

【0019】上述したように、クロック信号CKの立ち上がりエッジにおいて、入力端子T_{in}に入力された、たとえば、2.2Vの信号が、3.3Vの信号にレベル変換され、出力端子T_{out}に出力される。

【0020】

【発明が解決しようとする課題】ところで、上述した従来のレベル変換回路はさまざまな問題点がある。たとえば、図7に示す非同期レベル変換回路においては、入力信号の立ち上がりおよび立ち下がりエッジにおいて、図7に示すように、貫通電流が流れ、レベル変換回路の消費電力が大きくなり、また、レベル変換する電圧に応じて、回路定数を変えるなどの工夫が必要である。また、図8に示す同期レベル変換回路においては、DタイプフリップフロップDFFのクロック信号入力端子T_{ck}とnMOSトランジスタT_nのゲート電極T_gに入力されたクロック信号にずれが生じた場合、ノードND₁が前サイクルの信号によってディスチャージされ、誤動作が起きるという問題がある。

【0021】以下、図10に示すタイミングチャートを参照しつつ、図8に示す同期レベル変換回路の誤動作について、さらに詳細に説明する。図10に示すように、たとえば、DタイプフリップフロップDFFのクロック信号入力端子T_{ck}に入力されたクロック信号とnMOSトランジスタT_nのゲート電極T_gに入力されたクロック信号に位相のずれがある場合について、考察する。ここで、nMOSトランジスタT_nのゲート電極T_gに入力されたクロック信号（以下、クロック信号CK₁という）がDタイプフリップフロップDFFのクロック信号入力端子T_{ck}に入力されたクロック信号（以下、クロック信号CK₂という）より、位相が遅れることを例に説明する。

【0022】このような場合は、クロック信号CK₁の立ち上がりエッジにおいて、入力端子T_{in}に入力された

ND₁に転送される。そして、これより少し遅れたクロック信号CK₁の立ち上がりエッジにおいて、pMOSトランジスタT_pが非導通状態、nMOSトランジスタT_nが導通状態に切り替わるため、ここで、たとえば、入力信号がハイレベルの場合、nMOSトランジスタT_nが導通状態となり、ノードND₁がローレベル、すなわち、入力信号と逆相の信号がノードND₁に現れる。また、入力信号がローレベルの場合、nMOSトランジスタT_nが非導通状態となり、ノードND₁が浮遊状態となり、直前のハイレベルの電位が保持される。

【0023】しかし、クロック信号CK₁とクロック信号CK₂との間にずれが生じた場合、ノードND₁は前サイクルの信号レベルによってディスチャージされてしまい、ノードND₁が誤った信号レベルに設定され、レベル変換回路は誤動作が生じてしまう。

【0024】本発明は、かかる事情に鑑みてなされたものであり、その目的は、消費電力を低減できることとはもとより、誤動作を抑制でき、動作速度の向上を図るレベル変換回路を提供することにある。

20 【0025】

【課題を解決するための手段】上記目的を達成するため、本発明は、クロック信号によって動作タイミングが制御されるレベル変換回路であって、上記クロック信号に基づき、第1の電源電位レベルと基準電位レベルとを相補的にとる入力信号を出力ノードに伝達した後、当該出力ノードを電気的に浮遊状態に設定する第1の回路と、上記第1の回路の出力ノードのレベルおよび上記クロック信号の入力レベルに応じて、第2の電源電位レベルまたは基準電位レベルの信号を出力する第2の回路と、上記第1の回路の出力ノードが浮遊状態に設定されているとき、当該出力ノードを所定の電位に保持する第3の回路とを有する。

【0026】また、本発明では、上記第2の回路において、上記第1の回路の出力ノードが電気的に浮遊状態に設定されているとき、信号の出力を一時的に停止させる出力回路を有する。

【0027】また、本発明では、上記第2の回路は、上記第1の回路の出力ノードが浮遊状態に設定されているとき、出力信号レベルを第2の電源電位レベルに保持させ、上記第1の回路の出力ノードレベルが基準電位レベルの場合、第2の電源電位レベルの信号を出力し、上記第1の回路の出力ノードが上記第1の電源電位レベルの場合、基準電位レベルの信号を出力し、上記第3の回路は、上記第1の回路の出力ノードを基準電位に保持する。

【0028】本発明によれば、レベル変換回路の動作タイミングがクロック信号によって制御され、いわゆる同期レベル変換回路であって、たとえば、クロック信号の立ち上がりエッジにおいて、第1回路の入力端子に入力された信号が第1の回路の出力ノードに転送され、当該

出力ノードの信号のレベルに応じて、第2の回路の出力信号レベルが制御される。たとえば、第1の回路の出力ノードがハイレベルのとき、第2の回路によって基準電位レベルの信号が出力され、また、第1の回路の出力ノードがローレベルのとき、第2の回路によって第2の回路の電源電位レベルの信号が出力される。

【0029】そして、クロック信号の、たとえば、立ち下がりエッジにおいて、第1の回路の出力ノードが電氣的に浮遊状態に設定され、第1の回路の出力ノードに接続された第3の回路によって、当該出力ノードが固定電位、たとえば、基準電位に保持される。このとき、第2の回路によって第2の回路の電源電位レベルの信号が出力される。

【0030】

【発明の実施の形態】

第1実施形態

図1は、本発明に係るレベル変換回路の第1実施形態を示す回路図である。図1において、Aは、たとえば、2.2Vの電源電圧 V_{cc} で動作する第1の回路を、Bは、たとえば、3.3Vの電源電圧 V_{dd} で動作する第2の回路をそれぞれ示している。

【0031】図1において、11、12、21、22、31、41、42はpMOSトランジスタ、13、14、23、24、30、32、43、44はnMOSトランジスタ、1は電源電圧 V_{cc} の供給線、2は電源電圧 V_{dd} の供給線、 T_{ck} はクロック信号CKの入力端子、 $T_{\bar{ck}}$ はクロック信号CKの反転信号の入力端子、 T_{in} は入力端子、 T_{out} は出力端子、 ND_1 、 ND_2 、 ND_3 はノードをそれぞれ示している。

【0032】pMOSトランジスタ11のソースが電源電圧 V_{cc} の供給線1に接続され、pMOSトランジスタ11のドレインとpMOSトランジスタ12のソースとが接続され、pMOSトランジスタ12のドレインとnMOSトランジスタ13のドレインとが接続され、これらの接続点によりノード ND_1 が構成され、nMOSトランジスタ13のソースがnMOSトランジスタ14のドレインとが接続され、nMOSトランジスタ14のソースが接地されている。

【0033】pMOSトランジスタ11のゲートとnMOSトランジスタ14のゲートとが接続され、これらの接続点が入力端子 T_{in} に接続され、pMOSトランジスタ12のゲートがクロック信号CKの入力端子 T_{ck} に接続され、nMOSトランジスタ13のゲートがクロック信号CKの反転信号の入力端子 $T_{\bar{ck}}$ に接続されている。

【0034】pMOSトランジスタ21のソースが電源電圧 V_{cc} の供給線1に接続され、pMOSトランジスタ21のドレインとpMOSトランジスタ22のソースとが接続され、pMOSトランジスタ22のドレインとnMOSトランジスタ23のドレインとが接続され、これ

らの接続点によりノード ND_2 が構成され、nMOSトランジスタ23のソースがnMOSトランジスタ24のドレインとが接続され、nMOSトランジスタ24のソースが接地されている。

【0035】pMOSトランジスタ21のゲートとnMOSトランジスタ24のゲートとが接続され、これらの接続点がノード ND_3 に接続され、pMOSトランジスタ22のゲートがクロック信号CKの反転信号の入力端子 $T_{\bar{ck}}$ に接続され、nMOSトランジスタ23のゲートがクロック信号CKの入力端子 T_{ck} に接続されている。上記の各素子によって、電源電圧 V_{cc} で動作する第1の回路Aが構成される。

【0036】また、第3の回路としてのnMOSトランジスタ30のゲートがクロック信号CKの反転信号の入力端子 $T_{\bar{ck}}$ に接続され、nMOSトランジスタ30のドレインがノード ND_3 に接続され、ソースが接地されている。

【0037】以下、電源電圧 V_{dd} で動作する第2の回路Bの構成について説明する。pMOSトランジスタ31のソースが電源電圧 V_{dd} の供給線2に接続され、pMOSトランジスタ31のドレインとnMOSトランジスタ32のドレインとが接続され、これらの接続点によりノード ND_4 が構成され、nMOSトランジスタ32のソースが接地されている。pMOSトランジスタ31のゲートがクロック信号CKの入力端子 T_{ck} に接続され、nMOSトランジスタ32のゲートがノード ND_3 に接続されている。

【0038】pMOSトランジスタ41のソースが電源電圧 V_{dd} の供給線2に接続され、pMOSトランジスタ41のドレインとpMOSトランジスタ42のソースとが接続され、pMOSトランジスタ42のドレインとnMOSトランジスタ43のドレインとが接続され、これらの接続点が入力端子 T_{out} に接続され、nMOSトランジスタ43のソースがnMOSトランジスタ44のドレインと接続され、nMOSトランジスタ44のソースが接地されている。

【0039】pMOSトランジスタ41のゲートとnMOSトランジスタ44のゲートとが接続され、これらの接続点がノード ND_4 に接続され、pMOSトランジスタ42のゲートがクロック信号CKの反転信号の入力端子 $T_{\bar{ck}}$ に接続され、nMOSトランジスタ43のゲートがクロック信号CKの入力端子 T_{ck} に接続されている。

【0040】図2は、上記の構成におけるレベル変換回路の動作タイミングチャートを示す図である。以下、図1および図2を参照しつつ、この同期レベル変換回路の動作について説明する。なお、クロック信号CKは、たとえば、第2の回路Bの電源電圧 V_{dd} と同様に、3.3Vのハイレベルをもつクロック信号とする。さらに、接地電位は0Vとして説明する。

【0041】図2に示すように、入力端子 T_{in} に、一定の周期でハイレベルとローレベルを相互的にとるクロック信号CKが入力され、入力端子 T_{in} にクロック信号CKの反転信号XCKが入力される。クロック信号CKがローレベルのとき、pMOSトランジスタ12とnMOSトランジスタ13が導通状態となる。そして、ハイレベルとローレベルを相互的にとる入力信号が入力端子 T_{in} に入力されると、pMOSトランジスタ11またはnMOSトランジスタ14が導通状態となり、入力端子 T_{in} に入力された信号が反転されてノードND₁に現れる。

【0042】クロック信号CKの立ち上がりエッジにおいて、pMOSトランジスタ22とnMOSトランジスタ23が導通状態となる。そして、ノードND₁のレベルに応じて、pMOSトランジスタ21またはnMOSトランジスタ24が導通状態となり、ノードND₁の信号が反転されてノードND₂に転送される。すなわち、クロック信号CKの立ち上がりエッジにおいて、ノードND₁に入力端子 T_{in} に入力された信号と同相の信号が現れる。

【0043】具体的に、図2に示すように、サイクル1において、クロック信号CKが立ち上がる前に、入力端子 T_{in} にハイレベルの信号が入力された状態で、pMOSトランジスタ12とnMOSトランジスタ13が導通状態にあり、pMOSトランジスタ11が非導通状態にあり、nMOSトランジスタ14が導通状態にあることから、ノードND₁がローレベルに保持されている。すなわち、ノードND₁に入力端子 T_{in} に入力された信号と逆相の信号が現れている。そして、ノードND₁がローレベルであることから、pMOSトランジスタ21が

導通状態となり、nMOSトランジスタ24が非導通状態となる。また、pMOSトランジスタ22とnMOSトランジスタ23が非導通状態にあるから、ノードND₁が浮遊状態になっている。

【0044】このような状態で、クロック信号CKが立ち上がると、その立ち上がりエッジにおいて、pMOSトランジスタ12とnMOSトランジスタ13が非導通状態に切り替わり、ノードND₁が浮遊状態となる。また、pMOSトランジスタ22とnMOSトランジスタ23が導通状態に切り替わり、ノードND₁が導通状態にあるpMOSトランジスタ21、pMOSトランジスタ22を介して電源電圧 V_{cc} のレベルまでに引き上げられる。すなわち、サイクル1において、入力端子 T_{in} にハイレベルの信号が入力され、クロック信号CKの立ち上がりエッジにおいて、ノードND₁に入力端子 T_{in} に入力された信号と同相の信号が現れる。

【0045】クロック信号CKがハイレベルに保持されている間、nMOSトランジスタ30のゲートにクロック信号CKの反転信号XCK（以下、クロック信号XC

0が非導通状態に保持され、ノードND₁がディスチャージされることなく、ハイレベルが保持される。さらに、pMOSトランジスタ31のゲートにハイレベルのクロック信号CKが入力され、nMOSトランジスタ32のゲートにノードND₁のハイレベルの信号が印加されるため、pMOSトランジスタ31が非導通状態に保持され、nMOSトランジスタ32が導通状態に保持され、ノードND₂が導通状態にあるnMOSトランジスタ32を介してディスチャージされ、接地電位に引き下げられる。

【0046】そして、クロック信号CKがハイレベルに保持されている間、pMOSトランジスタ42とnMOSトランジスタ43が導通状態となる。そしてこのとき、ノードND₂はローレベルにあることから、pMOSトランジスタ41が導通状態となり、nMOSトランジスタ44が非導通状態となる。その結果、出力端子 T_{out} が導通状態にあるpMOSトランジスタ41とpMOSトランジスタ42を介して電源電圧 V_{cc} のレベルまでに引き上げられる。

【0047】次いで、クロック信号CKの立ち下がりエッジから、クロック信号XCKがハイレベルとなる。その結果、pMOSトランジスタ22のゲートにハイレベルのクロック信号XCKが入力され、nMOSトランジスタ23のゲートにローレベルのクロック信号CKが印加されるため、これらのトランジスタ22、23が非導通状態となる。このため、クロック信号CKがローレベルに保持されている間、ノードND₁が浮遊状態となり、そのレベルがノードND₁のレベルに影響されない。さらに、クロック信号CKの立ち下がりエッジから、nMOSトランジスタ30のゲートにハイレベルのクロック信号XCKが印加され、nMOSトランジスタ30が導通状態となる。その結果、ノードND₁のそれまでの状態にかかわらず、導通状態にあるnMOSトランジスタ30を介してノードND₁がディスチャージされ、ローレベルとなる。

【0048】そして、pMOSトランジスタ31のゲートにローレベルのクロック信号CKが入力され、nMOSトランジスタ32のゲートもノードND₁のローレベルの電位が印加されるため、pMOSトランジスタ31が導通状態となり、nMOSトランジスタ32が非導通状態となる。このため、ノードND₂が導通状態にあるpMOSトランジスタ31を介してプリチャージされ、電源電圧 V_{cc} のレベルまで引き上げられる。

【0049】これと同時に、pMOSトランジスタ42のゲートにクロック信号XCKのハイレベルの信号が印加され、nMOSトランジスタ43のゲートにクロック信号CKのローレベルの信号が印加されるため、これらのトランジスタが非導通状態となり、出力端子 T_{out} の電位がノードND₂の電位に影響されることなく、直前

【0050】以上、図2のタイミングチャートにおけるサイクル1の期間において、レベル変換回路の動作について説明した。続いて、サイクル2において、同回路の動作について説明する。図2のタイミングチャートに示すように、サイクル2において、クロック信号CKの立ち上がりエッジの直前に、入力端子T_{in}にローレベルの信号が入力され、クロック信号CKがローレベルに保持されている間、pMOSトランジスタ12およびnMOSトランジスタ13が導通状態となり、さらに、pMOSトランジスタ11が導通状態となるため、ノードND₁が導通状態にあるpMOSトランジスタ11とpMOSトランジスタ12を介して、電源電圧V_{cc}までに引き上げられる。すなわち、入力端子T_{in}に入力されたローレベルの信号が反転されてハイレベルの信号としてノードND₁に現れる。

【0051】そして、クロック信号CKの立ち上がりエッジにおいて、pMOSトランジスタ12とnMOSトランジスタ13が非導通状態となり、ノードND₁が浮遊状態となり、ノードND₁の電位が入力端子T_{in}の電位に影響されることなく、直前の状態が保持される。また、pMOSトランジスタ22のゲートにローレベルのクロック信号XCKが印加され、nMOSトランジスタ23のゲートにハイレベルのクロック信号CKが印加されるため、これらのトランジスタが導通状態となり、さらにノードND₁がハイレベルとなっているため、pMOSトランジスタ21が非導通状態となり、nMOSトランジスタ24が導通状態となる。その結果、ノードND₁が導通状態にあるnMOSトランジスタ23とnMOSトランジスタ24を介して接地電位に引き下げられる。このように、クロック信号CKの立ち上がりエッジにおいて、入力端子T_{in}に入力された信号と同相の信号がノードND₁に現れる。

【0052】このとき、nMOSトランジスタ30のゲートにローレベルのクロック信号XCKが印加されるため、nMOSトランジスタ30が非導通状態となり、ノードND₁のローレベルの電位がnMOSトランジスタ32のゲートに印加され、nMOSトランジスタ32が非導通状態となる。また、pMOSトランジスタ31のゲートにハイレベルのクロック信号CKが印加されるため、pMOSトランジスタ31も非導通状態となる。このため、ノードND₁が電氣的に浮遊状態となり、直前のハイレベルの状態が保持される。

【0053】そして、クロック信号CKがハイレベルの間、pMOSトランジスタ42とnMOSトランジスタ43が導通状態となり、さらに、ノードND₁がハイレベルにあるため、pMOSトランジスタ41が非導通状態となり、nMOSトランジスタ44が導通状態となる。その結果、出力端子T_{out}が導通状態にあるnMOSトランジスタ43とnMOSトランジスタ44を介して接地電位に引き下げられる。

【0054】続いて、クロック信号CKの立ち上がりエッジにおいて、第1の回路Aにおいて、pMOSトランジスタ22およびnMOSトランジスタ23が非導通状態に切り替わり、ノードND₁の電位がノードND₁の電位に影響されない。さらに、nMOSトランジスタ30のゲートにハイレベルのクロック信号XCKが印加されるため、nMOSトランジスタ30が導通状態となり、ノードND₁が接地電位に保持されたままとなる。

【0055】また、pMOSトランジスタ31のゲートにローレベルとなるクロック信号CKが印加され、pMOSトランジスタが導通状態となり、nMOSトランジスタ32のゲートにローレベルのノードND₁の電位が印加されるため、nMOSトランジスタ32が非導通状態となるので、ノードND₁が導通状態にあるpMOSトランジスタ31を介して電源電圧V_{cc}のレベルに保持される。

【0056】そして、クロック信号CKがローレベルの間、pMOSトランジスタ42およびnMOSトランジスタ43が非導通状態となるため、出力端子T_{out}の電位がノードND₁の電位に影響されることなく、直前のローレベルの電位、すなわち接地電位に保持される。

【0057】図3は、第1の回路Aと第2の回路Bに入力されたクロック信号にずれが生じた場合のタイミングチャートを示す。図3において、クロック信号CK₁は第1の回路Aに入力されたクロック信号、クロック信号CK₂は第2の回路Bに入力されたクロック信号をそれぞれ示す。図示のように、第1の回路Aに入力されたクロック信号CK₁が第2の回路Bに入力されたクロック信号CK₂より位相が遅れている。

【0058】図3に示すように、たとえば、サイクル1において、第1の回路Aのクロック信号CK₁が第2の回路Bのクロック信号CK₂より遅れているので、第2の回路Bが動作を開始するとき、第1の回路Aが以前の状態を出力しようとしても、前サイクルによって、ノードND₁はディスチャージされており、誤動作はしない。

【0059】また、サイクル2においても同様であり、ノードND₁が前サイクルでディスチャージされているので、遅れて出力される第1の回路Aの信号と同様の電位であり、誤動作はしない。

【0060】上述したようにレベル変換回路がハイレベルの信号を出力するか、ローレベルの信号を出力するかにかかわらず、クロック信号CKのずれがあっても、それによる誤動作は発生せず、回路は入力端子T_{in}に入力された信号をレベル変換して、正しい結果を出力端子T_{out}に出力される。

【0061】上述のように、図1に示すレベル変換回路によって、入力端子T_{in}に入力された、たとえば、2.2Vレベルの信号が、たとえば、3.3Vレベルの信号に変換され、出力端子T_{out}に出力され、このレベル変

換回路によって、電源電圧の異なる回路間において、レベル変換が実現される。

【0062】以上説明したように、本実施形態によれば、入力端子 T_{11} に入力された信号をクロック信号 CK がローレベルの間のみ反転し、ノード ND_1 に転送し、さらにクロック信号 CK がハイレベルの間のみ反転してノード ND_1 に転送し、ノード ND_1 をゲートがクロック信号 XCK の入力端子 T_{11} に接続された $nMOS$ トランジスタ30を介して接地し、さらに $nMOS$ トランジスタ32のゲートに接続し、ゲートがクロック信号 CK の入力端子 T_{11} に接続された $pMOS$ トランジスタ31のドレインと $nMOS$ トランジスタ32のドレインとを接続し、その接続点によって構成されたノード ND_1 の信号をクロック信号 CK がハイレベルの間のみ反転して出力端子 T_{01} に転送するので、クロック信号にずれがある場合でも誤動作を回避でき、回路のタイミング設計を容易に行える。さらに、貫通電流の発生を抑制でき、低消費電力で信号レベルの変換を実現できる。また、プリチャージロジックであるので、変換する電位差が非常に大きくても回路は動作する。

【0063】第2実施形態

図4は、本発明に係るレベル変換回路の第2実施形態を示す回路図である。図4に示すように、本第2の実施形態の回路は図1に示す第1の実施形態の回路と基本的に同様であり、ただし、第1の回路Aにおいては、ノード ND_1 のあとに、インバータ INV_1 、インバータ INV_2 、およびトランスミッションゲート TG_{11} によって構成されたラッチ回路が接続され、第2の回路Bにおいては、出力端子 T_{01} の前に、インバータ INV_1 、インバータ INV_2 、およびトランスミッションゲート TG_{11} によって構成されたラッチ回路がそれぞれ接続されている。なお、本実施形態においては、インバータ INV_1 、およびインバータ INV_2 は電源電圧 V_{cc} で動作され、インバータ INV_1 、およびインバータ INV_2 は電源電圧 V_{ss} で動作されるものとする。

【0064】以下、図2に参照しながら、本第2の実施形態におけるレベル変換回路の動作について、第1の実施形態と比較して説明する。トランスミッションゲート TG_{11} を構成する $pMOS$ トランジスタのゲートがクロック信号 XCK の入力端子 T_{11} に接続され、トランスミッションゲート TG_{11} を構成する $nMOS$ トランジスタのゲートがクロック信号 CK の入力端子 T_{11} にそれぞれ接続されている。トランスミッションゲート TG_{11} を構成する $pMOS$ トランジスタのゲートがクロック信号 CK の入力端子 T_{11} に接続され、トランスミッションゲート TG_{11} を構成する $nMOS$ トランジスタのゲートがクロック信号 XCK の入力端子 T_{11} にそれぞれ接続されている。上記の構成においては、クロック信号 CK がハイレベルの間のみ、トランスミッションゲート TG_{11}

のみ、トランスミッションゲート TG_{11} が導通状態となる。

【0065】図4に示すように、第1の回路Aにおいて、インバータ INV_1 、インバータ INV_2 とトランスミッションゲート TG_{11} が直列に接続され、インバータ INV_1 の入力端子がノード ND_1 に接続され、インバータ INV_1 の出力端子がインバータ INV_2 の入力端子に接続され、インバータ INV_2 の出力端子がトランスミッションゲート TG_{11} を介してノード ND_1 に接続されている。第2の回路Bにおいて、インバータ INV_1 、インバータ INV_2 とトランスミッションゲート TG_{11} が直列に接続され、インバータ INV_1 の入力端子が出力端子 T_{01} に接続され、インバータ INV_1 の出力端子がインバータ INV_2 の入力端子に接続され、インバータ INV_2 の出力端子がトランスミッションゲート TG_{11} を介して出力端子 T_{01} に接続されている。

【0066】このような構成において、クロック信号 CK がローレベルの間、 $pMOS$ トランジスタ12および $nMOS$ トランジスタ13が導通状態となる。入力端子 T_{11} に入力された信号のレベルに応じて、 $pMOS$ トランジスタ11または $nMOS$ トランジスタ14が導通状態となり、入力端子 T_{11} に入力された信号が反転されノード ND_1 に転送される。また、この場合、トランスミッションゲート TG_{11} が非導通状態となり、インバータ INV_1 とインバータ INV_2 より構成されたラッチ回路は動作しない。

【0067】一方、クロック信号 CK がハイレベルの間、 $pMOS$ トランジスタ12と $nMOS$ トランジスタ13が非導通状態となり、ノード ND_1 が浮遊状態となる。また、このとき、 $pMOS$ トランジスタ22と $nMOS$ トランジスタ23が導通状態となり、ノード ND_1 の電位に応じて、 $pMOS$ トランジスタ21または $nMOS$ トランジスタ24が導通状態となり、ノード ND_1 の電位が反転され、ノード ND_1 へ転送される。この場合、トランスミッションゲート TG_{11} が導通状態となり、インバータ INV_1 とインバータ INV_2 によって構成されたラッチ回路が動作され、ノード ND_1 がスタティック状態となり、ノード ND_1 の電位が保持される。

【0068】また、第2の回路Bにおいて、第1の回路Aと類似的に、インバータ INV_1 とインバータ INV_2 によって構成されたラッチ回路が、クロック信号 CK がローレベルの間のみ動作する。クロック信号 CK がハイレベルのとき、トランスミッションゲート TG_{11} が非導通状態となり、インバータ INV_1 とインバータ INV_2 によって構成されたラッチ回路は動作せず、また、この場合、 $pMOS$ トランジスタ42と $nMOS$ トランジスタ43が導通状態となり、ノード ND_1 の電位に応じて、 $pMOS$ トランジスタ41または $nMOS$ トラン

転され出力端子 T_{out} に転送される。

【0069】一方、クロック信号 CK がローレベルのとき、トランスミッションゲート TG_{11} が導通状態となり、インバータ INV_1 とインバータ INV_2 によって構成されたラッチ回路が動作され、出力端子 T_{out} の電位が保持される。すなわち、出力端子 T_{out} がスタティック状態となる。また、このようにクロック信号 CK がローレベルの間、 $pMOS$ トランジスタ42および $nMOS$ トランジスタ43が非導通状態となり、出力端子 T_{out} の電位はノード ND_1 の電位に影響されない。

【0070】以上説明したように、本第2の実施形態によれば、第1の回路Aのノード ND_1 に直列に接続された2つのインバータ INV_1 、インバータ INV_2 およびトランスミッションゲート TG_{11} によって構成されたラッチ回路を接続し、トランスミッションゲート TG_{11} がクロック信号 CK がハイレベルのときのみ導通状態となり、トランスミッションゲート TG_{11} が導通状態にあるとき、ノード ND_1 の電位が保持され、また、第2の回路Bにおいて、上記と類似的に、出力端子 T_{out} に直列に接続されたインバータ INV_1 、インバータ INV_2 およびトランスミッションゲート TG_{11} によって構成されたラッチ回路を接続し、トランスミッションゲート TG_{11} がクロック信号 CK がローレベルのときのみ導通状態となり、出力端子 T_{out} の電位が保持されるので、回路がリセット状態にクロック信号 CK がハイレベルまたローレベルのどちらの場合であっても、第1の回路Aおよび第1の回路Bにおいて、フローティング状態となるノードが発生することなく、待機状態における消費電流を低減できる効果がある。

【0071】第3実施形態

図5は、本発明に係るレベル変換回路の第3実施形態を示す回路図である。図5に示すように、本第3の実施形態の回路は図1に示す第1の実施形態の回路と比べて、ノード ND_1 から出力端子 T_{out} までの部分は同様であり、この部分の構成および動作については、説明を省略する。以下、第1の回路Aの構成および動作については、説明を省略する。図5に示すように、第1の回路Aにおいては、入力端子 T_{in} とノード ND_1 との間に、インバータ INV_{11} 、トランスミッションゲート TG_{11} 、インバータ INV_{12} とトランスミッションゲート TG_{12} とが直列に接続されている。なお、ここで、インバータ INV_{11} とインバータ INV_{12} は電源電圧 V_{cc} で動作するものとする。

【0072】トランスミッションゲート TG_{11} はゲートがクロック信号 CK の入力端子 T_{c1} に接続された $pMOS$ トランジスタとゲートがクロック信号 XCK の入力端子 T_{c2} に接続された $nMOS$ トランジスタによって構成され、トランスミッションゲート TG_{12} はゲートがクロック信号 XCK の入力端子 T_{c1} に接続された $pMOS$ トランジスタとゲートがクロック信号 CK の入力端子

T_{c2} に接続された $nMOS$ トランジスタによって構成されている。

【0073】このような構成において、トランスミッションゲート TG_{11} がクロック信号 CK がローレベルのときのみ導通状態となり、トランスミッションゲート TG_{12} がクロック信号 CK がハイレベルのときのみ導通状態となる。

【0074】クロック信号 CK がローレベルのとき、トランスミッションゲート TG_{11} が導通状態となり、入力端子 T_{in} に入力された信号がインバータ INV_{11} を介して反転され、インバータ INV_{12} の入力端子に出力される。クロック信号 CK がハイレベルとなると、トランスミッションゲート TG_{11} が非導通状態となり、トランスミッションゲート TG_{12} が導通状態となるため、インバータ INV_{12} の入力端子に入力された信号がインバータ INV_{12} を介して反転され、さらにトランスミッションゲート TG_{12} を介してノード ND_1 に出力される。すなわち、クロック信号 CK の立ち上がりエッジにおいて、入力端子 T_{in} に入力された信号がノード ND_1 に出力される。

【0075】ノード ND_1 から出力端子 T_{out} までの回路の構成が図1に示す本発明の第1の実施形態の回路と同様であるため、それについての説明を省略する。

【0076】以上説明したように、本発明においては、回路の構成がフリップフロップ回路だけではなく、クロック信号 CK によって信号の転送を禁止できるものであれば、他の回路も適応できる。

【0077】第4実施形態

図6は、本発明に係るレベル変換回路の第4実施形態を示す回路図である。図6に示すように、本第4の実施形態の回路は図1に示す第1の実施形態の回路と比べて、入力端子 T_{in} からノード ND_1 までの第1の回路Aの構成は同様であり、この部分の構成および動作については、説明を省略する。以下、図1に示す第1の実施形態と異なる第2の回路Bの構成および動作についてのみ説明する。図6に示すように、第2の回路Bにおいては、ノード ND_1 と出力端子 T_{out} との間に、インバータ INV_1 とトランスミッションゲート TG_1 とが直列に接続されている。なお、ここで、インバータ INV_1 は電源電圧 V_{cc} で動作するものとする。

【0078】インバータ INV_1 の入力端子がノード ND_1 に接続され、インバータ INV_1 の出力端子がトランスミッションゲート TG_1 を介して出力端子 T_{out} に接続されている。また、トランスミッションゲート TG_1 はゲートがクロック信号 CK の入力端子 T_{c1} に接続された $nMOS$ トランジスタおよびゲートがクロック信号 XCK の入力端子 T_{c2} に接続された $pMOS$ トランジスタによって構成されている。

【0079】このような構成において、クロック信号 CK がハイレベルのときのみ、トランスミッションゲート

TG₁ が導通状態となり、ノードND_c の信号が出力端子T_{out} に出力される。

【0080】第2の回路Bにおいては、クロック信号CKがハイレベルのとき、nMOSトランジスタ30のゲートに接地電位が印加され、nMOSトランジスタ32が非導通状態となり、また、pMOSトランジスタ31のゲートにハイレベルの電位が印加されるため、pMOSトランジスタ31も非導通状態となり、ノードND_c の電位がnMOSトランジスタ32のゲートに入力されたノードND_d の電位によって設定される。

【0081】たとえば、ノードND_d がハイレベルのとき、nMOSトランジスタ32が導通状態となり、ノードND_c が導通状態にあるnMOSトランジスタ32を介してディスチャージされ、接地電位に引き下げられる。ノードND_c のローレベルの電位がインバータINV₁ と導通状態にあるトランスミッションゲートTG₁ を介して反転され、ハイレベルの信号として、出力端子T_{out} に出力される。また、ノードND_d がローレベルのとき、nMOSトランジスタ32が非導通状態となり、ノードND_c がディスチャージされることなく、直前のハイレベルの状態が保持される。ノードND_c のハイレベルの電位が、インバータINV₁ および導通状態にあるトランスミッションゲートTG₁ を介して反転され、ローレベルとなり、出力端子T_{out} に出力される。

【0082】クロック信号CKがローレベルのとき、nMOSトランジスタ30も導通状態となりノードND_d が導通状態にあるnMOSトランジスタ32を介して接地電位に引き下げられる。すなわち、nMOSトランジスタ32のゲートにローレベルの電位が印加される。また、pMOSトランジスタ31が導通状態となるため、ノードND_c が導通状態にあるpMOSトランジスタ31を介して電源電圧V_{cc} レベルまで引き上げられる。

【0083】一方、クロック信号CKがローレベルに保持されたとき、トランスミッションゲートTG₁ が非導通状態となるため、出力端子T_{out} の電位がノードND_c の電位に影響されることなく、直前の状態が保持される。

【0084】以上説明したように、本第4の実施形態によれば、ノードND_c と出力端子T_{out} との間に、インバータINV₁ とクロック信号CKがハイレベルのときのみ導通状態となるトランスミッションゲートTG₁ を直列接続し、ノードND_c の電位を反転し、ホールドして出力端子T_{out} に出力させる。すなわち、第2の回路Bの構成はフリップフロップだけではなく、クロック信号CKによって出力信号をホールドできるものであれば、他の回路も適応できる。

【0085】

【発明の効果】以上説明したように、本発明のレベル変換回路によれば、クロック信号にずれがある場合でも誤動作を回避でき、回路のタイミング設計を容易に行える利点がある。また、本発明によれば、レベル変換回路の動作中、貫通電流がほとんどない上、適応できる電圧範囲が広い。さらに、本発明によれば、多電源のLSIを簡単に実現でき、低消費電力LSIまたは高速LSIの設計が容易になる利点がある。

【図面の簡単な説明】

10 【図1】本発明に係るレベル変換回路の第1の実施形態を示す回路図である。

【図2】図1に示す回路の動作を説明するためのタイミングチャートである。

【図3】クロックずれがある場合の図1のタイミングチャートである。

【図4】本発明に係るレベル変換回路の第2の実施形態を示す回路図である。

【図5】本発明に係るレベル変換回路の第3の実施形態を示す回路図である。

20 【図6】本発明に係るレベル変換回路の第4の実施形態を示す回路図である。

【図7】従来の非同期レベル変換回路の回路図である。

【図8】従来の同期レベル変換回路の回路図である。

【図9】図8に示す回路の動作を説明するためのタイミングチャートである。

【図10】クロックずれがある場合の図9のタイミングチャートである。

【符号の説明】

1…電源電圧V_{cc}の供給線

30 2…電源電圧V_{ss}の供給線

A…電源電圧V_{cc}で動作する第1の回路

B…電源電圧V_{ss}で動作する第2の回路

11, 12, 21, 22, 31, 41, 42…nMOSトランジスタ

13, 14, 23, 24, 30, 32, 43, 44…pMOSトランジスタ

T_{ck}…クロック信号入力端子

T_{icck}…クロック信号の反転信号の入力端子

T_{in}…入力端子

40 T_{out}…出力端子

ND_a, ND_b, ND_c…ノード

TG₁₁, TG₁₂, TG₂₁, TG₂₂, TG₃…トランスミッションゲート

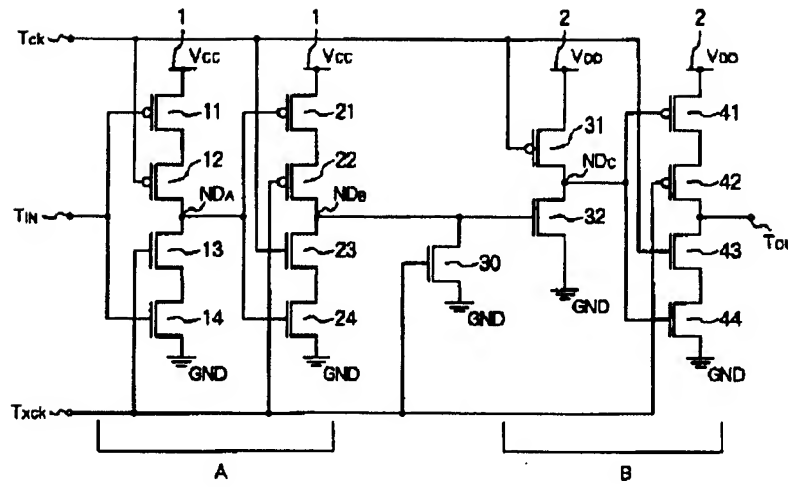
INV₁, INV₂, INV₃, INV₄…インバータ

INV₁₁, INV₁₂, INV₂…インバータ

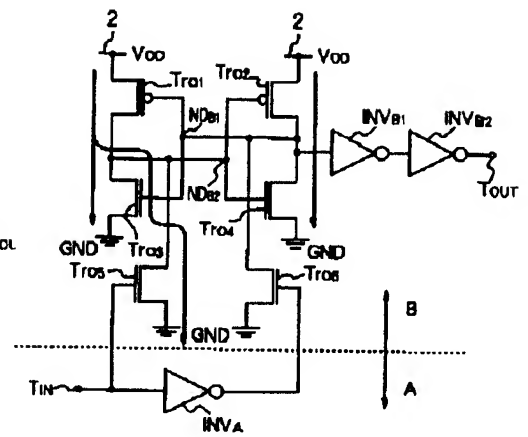
V_{cc}, V_{ss}…電源電圧

GND…接地電位

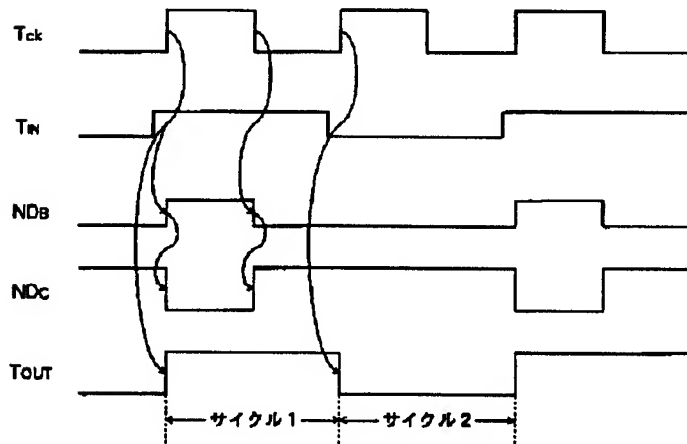
【図 1】



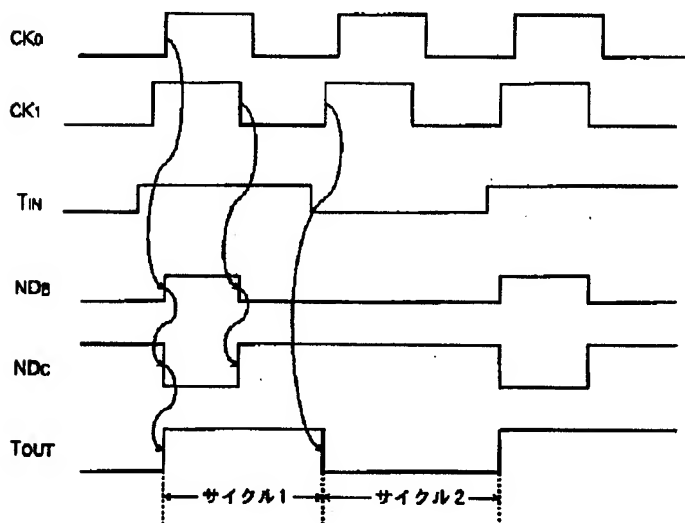
【図 7】



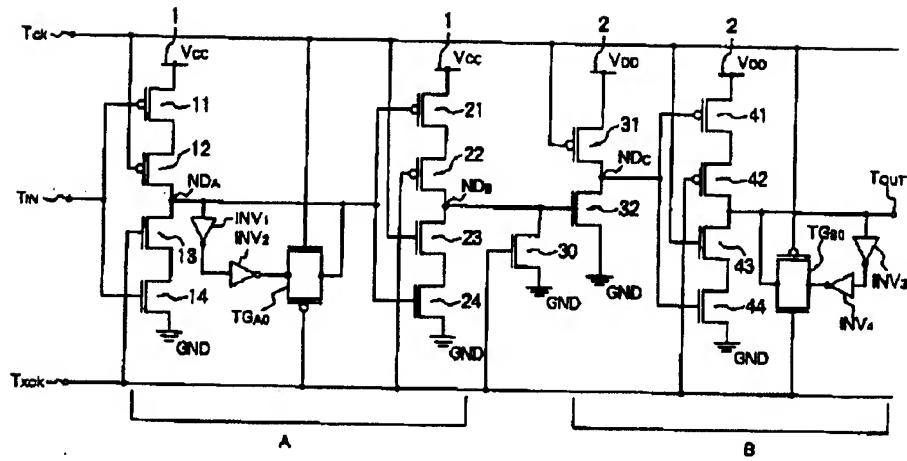
【図 2】



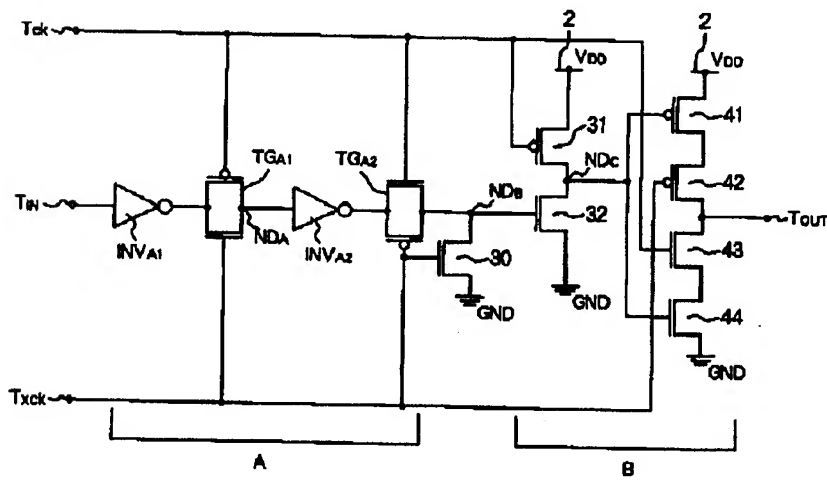
【図 3】



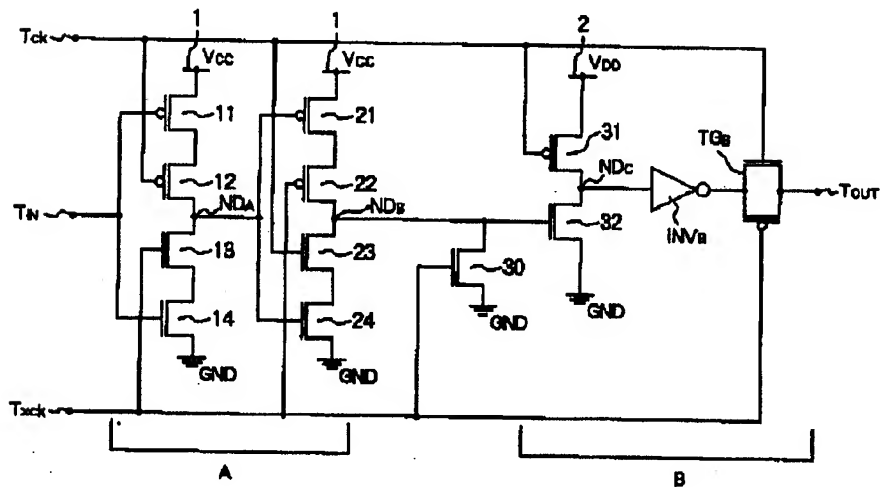
【 図 4 】



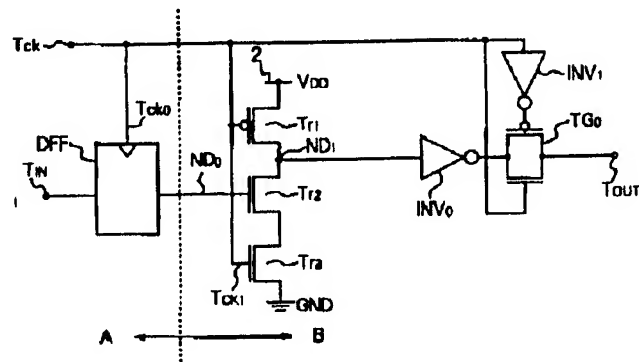
【 図 5 】



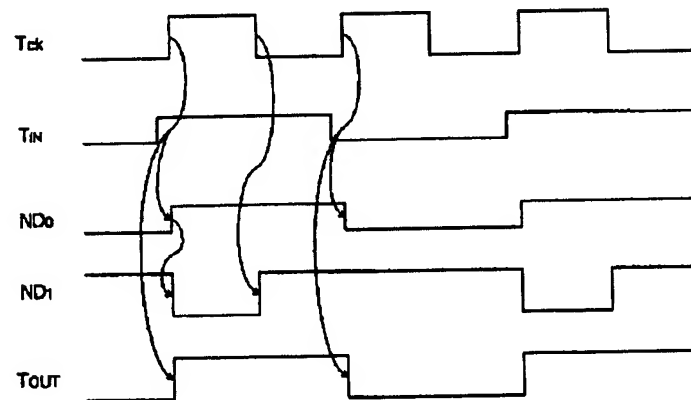
【 図 6 】



【 例 8 】



【 図 9 】



【 1 0 】

